



03CO

0416
01/CO.064
PATENT
81754.0048

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Toshihiko HIGUCHO

Serial No: 09/754,818

Filed: January 4, 2001

For: SEMICONDUCTOR DEVICE
AND METHOD FOR
MANUFACTURING THE SAME

Art Unit: Not Assigned

Examiner: Not Assigned

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:

Assistant Commissioner for Patents
Washington D.C. 20231, on

March 9, 2001

Date of Deposit

Louis A. Mok, Reg. No. 22,585

Name

March 9, 2001

Signature

Date

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-000935 which was filed January 6, 2000 and application No. 2000-394959 which was filed December 26, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By:

Louis A. Mok

Registration No. 22,585

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 1月 6日

出 願 番 号
Application Number:

特願2000-000935

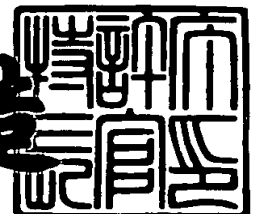
出 願 人
Applicant(s):

セイコーエプソン株式会社

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3114591

特2000-000935

【書類名】 特許願
【整理番号】 J0076480
【提出日】 平成12年 1月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/467
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
樋口 俊彦
【氏名】
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代表者】 安川 英昭
【代理人】
【識別番号】 100093388
【弁理士】
【氏名又は名称】 鈴木 喜三郎
【連絡先】 0266-52-3139
【選任した代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅誉
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円

出証特2000-3114591

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び配線パターン設計方法

【特許請求の範囲】

【請求項 1】 レジストパターンをマスクとしてエッチングすることにより形成された配線パターン及び他の配線パターンを備えた半導体装置であって、

上記配線パターンと所定間隔より短い間隔で配置された接続孔と、

この接続孔を覆うように配置された他の配線パターンと、

を備え、

上記他の配線パターンに形成された耳パターンであって、上記接続孔を覆う中央領域部の上下左右の四方向のうち、上記配線パターンの存在する方向以外の側に配置された耳パターンを具備することを特徴とする半導体装置。

【請求項 2】 レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、

第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、

第 1 の配線パターンに平行に形成され、一端が上記接続孔を覆う第 2 の配線パターンと、

第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 2 の配線パターンの延長線上に配置された第 1 耳パターンと、

第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 1 の配線パターンのある側と反対方向で、かつ、第 2 の配線パターンの垂直方向に形成された第 2 耳パターンと、

を具備することを特徴とする半導体装置。

【請求項 3】 レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、

第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、

第 1 の配線パターンに垂直方向に形成され、一端が上記接続孔を覆う第 2 の配線パターンと、

第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 2 の配線パターンの一方の垂直方向に配置された第 1 耳パターンと、

第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 2 の配線パターンの他方の垂直方向に形成された第 2 耳パターンと、
を具備することを特徴とする半導体装置。

【請求項 4】 レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、

第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、

第 1 の配線パターンに平行方向に形成された第 1 パターンと第 1 の配線パターンに垂直方向に形成された第 2 パターンからなり、第 1 パターンと第 2 パターンが交わるコーナー部が上記接続孔を覆う第 2 の配線パターンと、

第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 1 の配線パターンに平行方向に配置された耳パターンと、

を具備することを特徴とする半導体装置。

【請求項 5】 レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、

第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、

この接続孔を覆う第 2 の配線パターンと、

第 2 の配線パターンに連設され、第 1 の配線パターンの平行方向の一方側に配置された第 1 耳パターンと、

第 2 の配線パターンに連設され、第 1 の配線パターンの垂直方向に配置された第 2 耳パターンと、

第 2 の配線パターンに連設され、第 1 の配線パターンの平行方向の他方側に配置された第 3 耳パターンと、

を具備することを特徴とする半導体装置。

【請求項 6】 接続孔を覆う配線パターンを設計する方法であって、

上記配線パターンにおける接続孔を覆う中央領域部の上下左右の四方向に第 1 乃至第 4 の耳パターンを配置し、

第 1 乃至第 4 の耳パターンのうち、所定間隔より短い間隔で隣接する他の配線パターンの存在する側の耳パターンを消すことを特徴とする配線パターン設計方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、レジストパターンをマスクとしてエッチングすることにより形成された配線パターンを備えた半導体装置及び配線パターンの設計方法に関する。

【 0 0 0 2 】

【従来の技術】

以下、従来の半導体装置の一例について説明する。この半導体装置は、図 7 に示すような上層配線を有している。

【 0 0 0 3 】

図 6 は、従来の半導体装置における上層配線を形成するためのレジストパターンを示す平面図である。図 7 は、図 6 に示すレジストパターンをマスクとして形成された上層配線を示す平面図である。図 8 は、図 7 に示す 8 - 8 線に沿った断面図である。図 9 は、図 7 に示す 9 - 9 線に沿った断面図である。

【 0 0 0 4 】

図 6 に示すように、第 1、第 2 の下層配線 1 0 1, 1 0 2 及び第 1 乃至第 3 の上層配線（図示せず）を配置する。第 1 乃至第 3 の上層配線を形成するためのエッチングマスクが第 1 乃至第 3 のレジストパターン 1 0 5 ~ 1 0 7 である。従って、第 1 乃至第 3 の上層配線それぞれのパターンは、第 1 乃至第 3 のレジストパターン 1 0 5 ~ 1 0 7 と同一パターンからなる。また、第 1 及び第 2 の下層配線 1 0 1, 1 0 2 と第 1 乃至第 3 の上層配線との間には層間絶縁膜（図 8 に示す参照符号 1 2 0）が形成されている。

【 0 0 0 5 】

すなわち、第 1 及び第 2 の下層配線 1 0 1, 1 0 2 は互いに平行に配置されている。第 1 の下層配線 1 0 1 の一端はビアホール 1 0 3 内に埋め込まれた金属（図示せず）を介して第 1 の上層配線の一端に接続され、第 1 の上層配線は第 3 の上層配線と平行方向に配置される。第 2 の下層配線 1 0 2 の一端はビアホール 1 0 4 内に埋め込まれた金属（図示せず）を介して第 2 の上層配線の一端に接続され、第 2 の上層配線は第 3 の上層配線と垂直方向に配置される。

【 0 0 0 6 】

このような第 1 乃至第 3 の上層配線を設計する場合は、第 1 の上層配線をビアホール 1 0 3 まで引き延ばし、そのビアホール 1 0 3 上を第 1 の上層配線が覆うところで止め、同様に、第 2 の上層配線をビアホール 1 0 4 まで引き延ばし、そのビアホール 1 0 4 上を第 2 の上層配線が覆うところで止めていた。

【 0 0 0 7 】

次に、図 6 に示すレジストパターンをマスクとして形成された第 1 乃至第 3 の上層配線について説明する。

【 0 0 0 8 】

レジストパターンをマスクとしてエッチングすることにより配線を形成する場合、一般に、レジストパターンが疎の部分ではエッチングされた配線がそのレジストパターンより太くなり、レジストパターンが密の部分ではエッチングされた配線がそのレジストパターンより細くなるという特性がある。このようなエッチングの特性から、配線パターンの微細化に伴うフォトリソグの後退により図 7 に示すようにビアホール 1 0 3、1 0 4 と第 1、第 2 の上層配線 1 1 5、1 1 6 のオーバーラップが減ることがある。その結果、上層配線 1 1 5、1 1 6 とビアホール 1 0 3、1 0 4 内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下といった問題が生じる。

【 0 0 0 9 】

また、図 7 に示すように、第 3 の上層配線 1 1 7 の一方側におけるビアホール 1 0 3、1 0 4 の相互間は、その近傍に配線パターンのない部分であるから、エッチング時に図 8 に示すように第 3 の上層配線 1 1 7 の一方側にテーパーが形成され、上層配線 1 1 7 の底部が太くなることがある。このため、上層配線 1 1 7 とビアホール 1 0 3、1 0 4 内に埋め込まれた金属それぞれとの間隔 L_1 、 L_2 が短くなり、そのビアホール内金属と上層配線 1 1 7 とがショートする不良が発生することがある。

【 0 0 1 0 】

【発明が解決しようとする課題】

上述したように、上記従来の半導体装置では、微細化に伴うフォトリソグの

後退により接続孔（ビアホール又はコンタクトホール）と配線のオーバーラップが減り、配線と接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下といった問題が生じる。また、パターンが疎の部分の配線はエッチング時にテーパーがついて太くなるため、その太くなった配線が近傍の接続孔内に埋め込まれた金属とショートしてしまうことがある。

【 0 0 1 1 】

本発明は上記のような事情を考慮してなされたものであり、その目的は、配線と接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制でき、パターンが疎の部分の配線とその近傍の接続孔内に埋め込まれた金属とのショート不良の発生を抑制できる半導体装置及び配線パターン設計方法を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された配線パターン及び他の配線パターンを備えた半導体装置であって、上記配線パターンと所定間隔より短い間隔で配置された接続孔と、この接続孔を覆うように配置された他の配線パターンと、を備え、上記他の配線パターンに形成された耳パターンであって、上記接続孔を覆う中央領域部の上下左右の四方向のうち、上記配線パターンの存在する方向以外の側に配置された耳パターンを具備することを特徴とする。

【 0 0 1 3 】

上記半導体装置によれば、他の配線パターンに形成された耳パターンを有し、その耳パターン近傍の配線パターンが密となっても、耳パターンの部分が細くなるだけで接続孔上の他の配線パターンのオーバーラップが減ることを抑制できる。その結果、他の配線パターンと接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制することができる。また、上記半導体装置では、接続孔近傍の配線パターンが疎であることから、エッチング時に配線パターンにテーパーが形成されて配線パターンの底部が太くなっても、他の配線パターンに形成された耳パターンを有するため、配線パターンと接続孔内に埋め込まれた金属

との間隔が狭くなることを抑制できる。従って、その埋め込まれた金属と配線パターンとがショートする不良の発生を抑制することができる。

【 0 0 1 4 】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、第 1 の配線パターンに平行に形成され、一端が上記接続孔を覆う第 2 の配線パターンと、第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 2 の配線パターンの延長線上に配置された第 1 耳パターンと、第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 2 の配線パターンの垂直方向に形成された第 2 耳パターンと、を具備することを特徴とする。

【 0 0 1 5 】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、第 1 の配線パターンに垂直方向に形成され、一端が上記接続孔を覆う第 2 の配線パターンと、第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 2 の配線パターンの一方の垂直方向に配置された第 1 耳パターンと、第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 2 の配線パターンの他方の垂直方向に形成された第 2 耳パターンと、を具備することを特徴とする。

【 0 0 1 6 】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、第 1 の配線パターンに平行方向に形成された第 1 パターンと第 1 の配線パターンに垂直方向に形成された第 2 パターンからなり、第 1 パターンと第 2 パターンが交わるコーナー部が上記接続孔を覆う第 2 の配線パターンと、第 2 の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第 1 の配線パターンに平行方向に配置された耳パターンと、を具備することを特徴とする。

【 0 0 1 7 】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 2 の配線パターンを備えた半導体装置であって、第 1 の配線パターンと所定間隔より短い間隔で配置された接続孔と、この接続孔を覆う第 2 の配線パターンと、第 2 の配線パターンに連設され、第 1 の配線パターンの平行方向の一方側に配置された第 1 耳パターンと、第 2 の配線パターンに連設され、第 1 の配線パターンの垂直方向に配置された第 2 耳パターンと、第 2 の配線パターンに連設され、第 1 の配線パターンの平行方向の他方側に配置された第 3 耳パターンと、を具備することを特徴とする。

【 0 0 1 8 】

本発明に係る配線パターン設計方法は、接続孔を覆う配線パターンを設計する方法であって、上記配線パターンにおける接続孔を覆う中央領域部の上下左右の四方向に第 1 乃至第 4 の耳パターンを配置し、第 1 乃至第 4 の耳パターンのうち、所定間隔より短い間隔で隣接する他の配線パターンの存在する側の耳パターンを消すことを特徴とする。

【 0 0 1 9 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

【 0 0 2 0 】

図 1 は、本発明の第 1 の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。図 2 は、図 1 に示す上層配線のパターンを設計する方法を説明するための平面図である。図 3 は、図 1 に示すマスクパターンによるフォトリソ技術によりフォトレジストをエッチングマスクに用いてドライエッチングにより形成された上層配線を示す平面図である。

【 0 0 2 1 】

図 1 に示すように、第 1、第 2 の下層配線 1、2 及び第 1 乃至第 3 の上層配線（図示せず）を配置する。第 1 乃至第 3 の上層配線を形成するためのエッチングマスクは第 1 乃至第 3 のマスクパターン 5～7 である。従って、第 1 乃至第 3 の上層配線それぞれのパターンは、第 1 乃至第 3 のマスクパターン 5～7 と同一パ

ターンからなる。また、第 1 及び第 2 の下層配線 1, 2 と第 1 乃至第 3 の上層配線との間には層間絶縁膜（図示せず）が形成されている。

【 0 0 2 2 】

すなわち、第 1 及び第 2 の下層配線 1, 2 は互いに平行に配置されている。第 1 の下層配線 1 の一端はビアホール 3 内に埋め込まれた金属（図示せず）を介して第 1 の上層配線の一端に接続され、第 1 の上層配線は第 3 の上層配線と平行方向に配置される。第 2 の下層配線 2 の一端はビアホール 4 内に埋め込まれた金属（図示せず）を介して第 2 の上層配線の一端に接続され、第 2 の上層配線は第 3 の上層配線と垂直方向に配置される。ビアホール 3, 4 は、第 3 の上層配線と所定間隔より短い間隔で配置されている。この所定間隔は、 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であることが好ましい。所定間隔については以下同様である。

【 0 0 2 3 】

次に、このような第 1 乃至第 3 の上層配線を設計する方法について説明する。図 1 に示すように、第 1 の上層配線をビアホール 3 まで引き延ばし、そのビアホール 3 上を第 1 の上層配線が覆うところで止め、更にビアホール 3 上（ビアホール 3 を覆う中央領域部）から第 1 乃至第 4 の耳パターン 1 1 ~ 1 4 を配置し、このうち所定間隔より短い間隔で隣接する第 3 の上層配線のある側の第 1 の耳パターン 1 1 を消す。第 4 の耳パターン 1 4 は第 1 の上層配線に重なっている。このようにして第 1 の上層配線のパターンを設計する。ここで、第 1 乃至第 4 の耳パターン 1 1 ~ 1 4 とは、第 1 及び第 2 の上層配線のように、ビアホール又はコンタクトホールなどの接続孔を覆う配線パターンを設計する場合、図 2 に示すように、接続孔 9 を覆う中央領域部 1 0 の上下左右の四方向に形成されるパターン 1 1 ~ 1 4 である。従って、第 1 の上層配線の一端には第 2 の耳パターン 1 2 及び第 3 の耳パターン 1 3 が配置される。

【 0 0 2 4 】

同様な方法で、第 2 の上層配線をビアホール 4 まで引き延ばし、そのビアホール 4 上を第 2 の上層配線が覆うところで止め、更にビアホール 4 上から第 1 乃至第 4 の耳パターン 1 1 ~ 1 4 を配置し、このうち所定間隔より短い間隔で隣接する第 3 の上層配線のある側の第 1 の耳パターン 1 1 を消す。これにより、第 2 の

上層配線的一端には第 2 の耳パターン 1 2 及び第 4 の耳パターン 1 4 が配置される。このようにして第 2 の上層配線のパターンを設計する。

【 0 0 2 5 】

次に、図 1 に示すマスクパターンによるフォトリソ技術でフォトレジストをマスクとしてドライエッチングにより形成された第 1 乃至第 3 の上層配線について説明する。

【 0 0 2 6 】

フォトレジストパターンはフォトリソ工程の光転写により角が丸まり、この結果形成されたレジストをマスクとしてエッチングすることにより配線を形成する場合、一般に、レジストパターンが疎の部分ではエッチングされた配線がそのレジストパターンより太くなり、レジストパターンが密の部分ではエッチングされた配線がそのレジストパターンより細くなるという特性がある。これは、金属配線をドライエッチングする際、配線が細いため、断線することを防ぐためにエッチング中の金属の側壁にデポ物による保護膜をつけながらエッチングするためである。このようなエッチングの特性から、配線パターンの微細化に伴うフォトレジストの後退により図 3 に示すように第 1 の上層配線 1 5 における第 2 の耳パターン 1 2 a, 1 3 a 及び第 2 の上層配線 1 6 における第 2、第 4 の耳パターン 1 2 a, 1 4 a は小さくなる。しかし、それらの耳パターンの部分が小さくなるだけでビアホール 3, 4 と第 1、第 2 の上層配線 1 5, 1 6 のオーバーラップが減ることを抑制できる。その結果、上層配線 1 5, 1 6 とビアホール 3, 4 内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制することができる。

【 0 0 2 7 】

また、図 3 に示すように、第 3 の上層配線 1 7 の一方側におけるビアホール 3, 4 の相互間は、その近傍に配線パターンのない部分であるから、エッチング時に第 3 の上層配線 1 7 の一方側にテーパー 1 7 a が形成され、上層配線 1 7 の底部が太くなることがある。しかし、ビアホール 3, 4 の相互間には耳パターン 1 2 a, 1 4 a が形成されているため、上層配線 1 7 とビアホール 3, 4 内に埋め込まれた金属の上部それぞれとの間隔が狭くなることを抑制でき、そのビアホー

ル内金属と上層配線 1 7 とがショートする不良の発生を抑制することができる。

【 0 0 2 8 】

図 4 は、本発明の第 2 の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。図 5 は、図 4 に示すマスクパターンによるフォトリソ技術で形成したフォトレジストをマスクとして形成された上層配線を示す平面図である。図 4 及び図 5 において図 1 乃至図 3 と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【 0 0 2 9 】

図 4 に示すように、第 1 のレジストパターン 2 1 と同一パターンからなる第 1 の上層配線（図示せず）は、第 3 のレジストパターン 7 と同一パターンからなる第 3 の上層配線（図示せず）と平行方向に配置された部分と、第 3 の上層配線と垂直方向に配置された部分と、から構成されている。これら両部分が交わるコーナー部にビアホール 3 が配置されている。第 1 の上層配線のコーナー部はビアホール 3 内に埋め込まれた金属（図示せず）を介して第 1 の下層配線 1 の一端に接続される。

【 0 0 3 0 】

第 2 の下層配線 2 の一端はビアホール 4 内に埋め込まれた金属（図示せず）を介して第 2 の上層配線に接続され、第 2 の上層配線は第 2 のレジストパターン 2 2 と同一パターンからなる。第 2 のレジストパターン 2 2 はビアホール 4 を覆うだけのパターンである。

【 0 0 3 1 】

次に、このような第 1 及び第 2 の上層配線を設計する方法について説明する。図 4 に示すように、ビアホール 3 上（ビアホール 3 を覆う中央領域部）から第 1 乃至第 4 の耳パターン 1 1 ～ 1 4 を配置し、このうち所定間隔より短い間隔で隣接する第 3 の上層配線のある側の第 1 の耳パターン 1 1 を消す。第 3、第 4 の耳パターン 1 3、1 4 は第 1 の上層配線に重なっている。これにより、第 1 の上層配線のコーナー部には第 2 の耳パターン 1 2 が配置される。このようにして第 1 の上層配線のパターンを設計する。

【 0 0 3 2 】

ビアホール 4 上を覆うパターンを配置し、更にビアホール 4 上から第 1 乃至第 4 の耳パターン 1 1 ～ 1 4 を配置し、このうち所定間隔より短い間隔で隣接する第 3 の上層配線のある側の第 1 の耳パターン 1 1 を消す。これにより、第 2 の上層配線には第 2 乃至第 4 の耳パターン 1 2 ～ 1 4 が配置される。このようにして第 2 の上層配線のパターンを設計する。

【 0 0 3 3 】

図 5 に示すように、図 4 に示すレジストパターンをマスクとして形成された第 1 及び第 2 の上層配線 3 1, 3 2 については、第 1 の実施の形態と同様の理由により、ビアホール 3, 4 と第 1、第 2 の上層配線 3 1, 3 2 のオーバーラップが減ることを抑制できる。従って、上層配線 3 1, 3 2 とビアホール 3, 4 内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制することができる。

【 0 0 3 4 】

また、図 5 に示すように、図 4 に示すレジストパターンをマスクとして形成された第 3 の上層配線 1 7 については、第 1 の実施の形態と同様の理由により、上層配線 1 7 とビアホール 3, 4 内に埋め込まれた金属それぞれとの間隔が狭くなることを抑制でき、その埋め込まれた金属と上層配線 1 7 とがショートする不良の発生を抑制することができる。

【 0 0 3 5 】

尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。

【 0 0 3 6 】

また、上記実施の形態で述べたビアホール内に埋め込まれた金属の例としては、W (タングステン) や A l (アルミニウム)、C u (銅) などの金属、またはその合金、シリサイドなどが挙げられる。

【 0 0 3 7 】

【発明の効果】

以上説明したように本発明によれば、配線と接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制でき、パターンが疎の部分の配線とそ

の近傍の接続孔内に埋め込まれた金属とのショート不良の発生を抑制できる半導体装置及び配線パターン設計方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。

【図 2】

図 1 に示す上層配線のパターンを設計する方法を説明するための平面図である。

【図 3】

図 1 に示すパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された上層配線を示す平面図である。

【図 4】

本発明の第 2 の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。

【図 5】

図 4 に示すパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された上層配線を示す平面図である。

【図 6】

従来の半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。

【図 7】

図 6 に示す従来技術のパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された上層配線を示す平面図である。

【図 8】

図 7 に示す 8 - 8 線に沿った断面図である。

【図 9】

図 7 に示す 9 - 9 線に沿った断面図である。

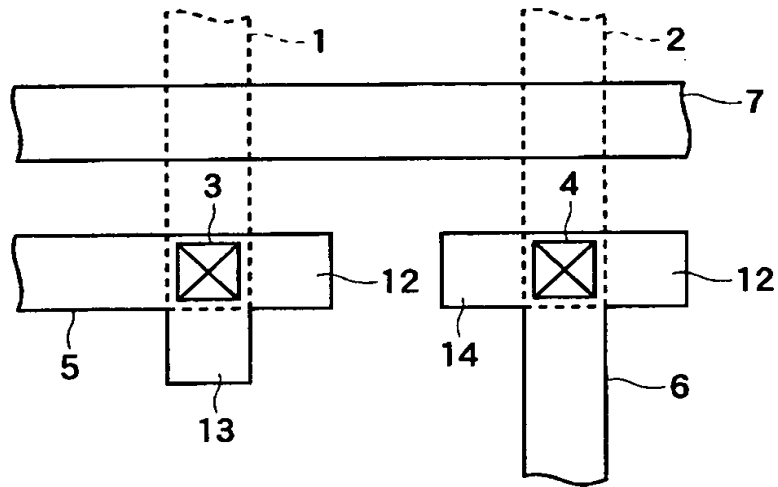
【符号の説明】

- 1 第 1 の下層配線
- 2 第 2 の下層配線
- 3, 4 ビアホール
- 5 第 1 のレジストパターン
- 6 第 2 のレジストパターン
- 7 第 3 のレジストパターン
- 9 接続孔
- 1 0 中央領域部
- 1 1 ~ 1 4 第 1 ~ 第 4 の耳パターン
- 1 2 a 第 2 の耳パターン
- 1 3 a 第 3 の耳パターン
- 1 4 a 第 4 の耳パターン
- 1 5 第 1 の上層配線
- 1 6 第 2 の上層配線
- 1 7 第 3 の上層配線
- 1 7 a テーパー
- 2 1 第 1 のレジストパターン
- 2 2 第 2 のレジストパターン
- 3 1 第 1 の上層配線
- 3 2 第 2 の上層配線
- 1 0 1 第 1 の下層配線
- 1 0 2 第 2 の下層配線
- 1 0 3, 1 0 4 ビアホール
- 1 0 5 第 1 のレジストパターン
- 1 0 6 第 2 のレジストパターン
- 1 0 7 第 3 のレジストパターン
- 1 1 5 第 1 の上層配線
- 1 1 6 第 2 の上層配線
- 1 1 7 第 3 の上層配線

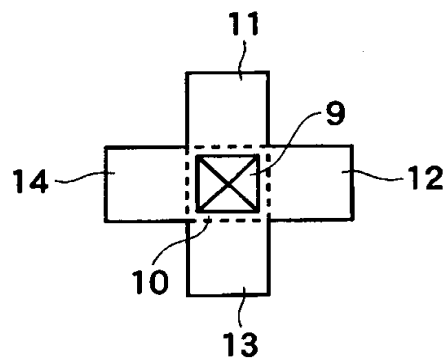
1 2 0 層間絶縁膜

【書類名】 図面

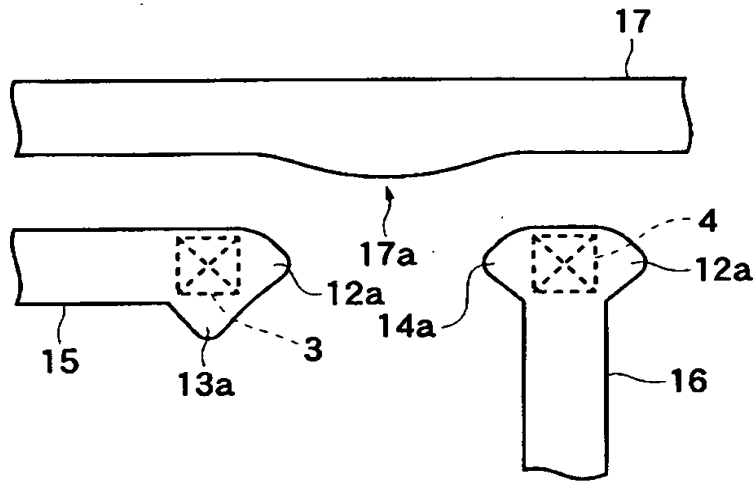
【図 1】



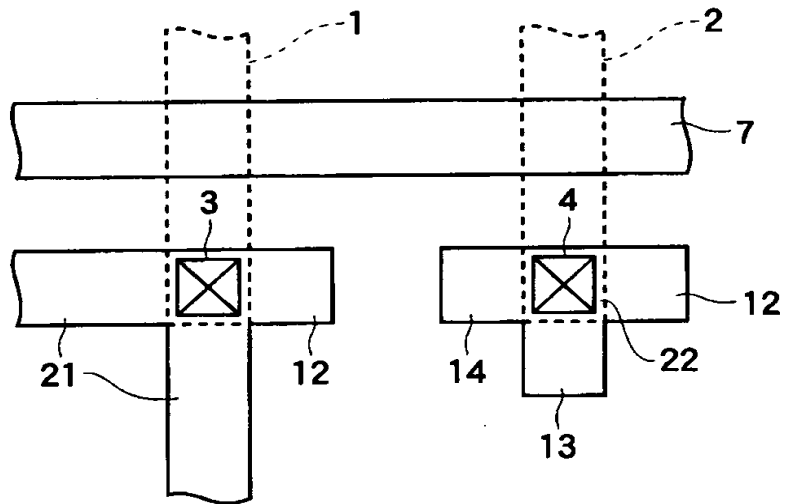
【図 2】



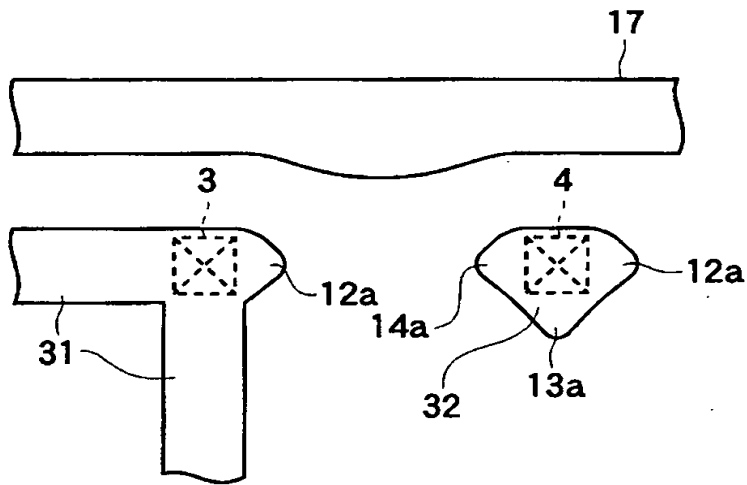
【図 3】



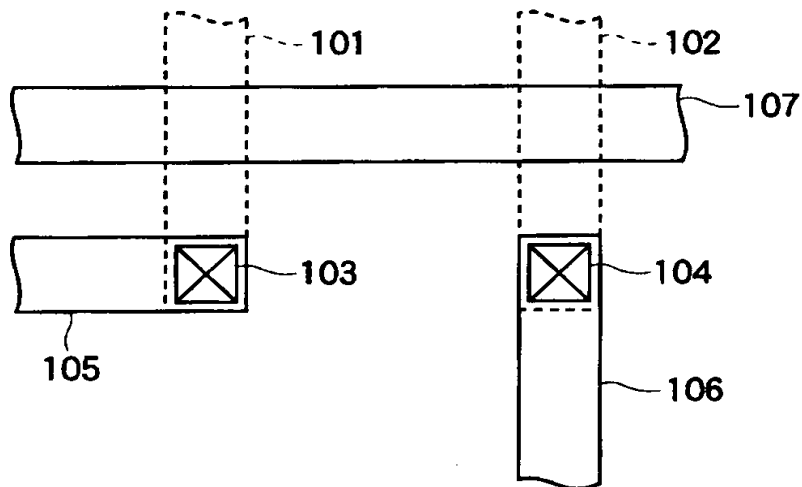
【図 4】



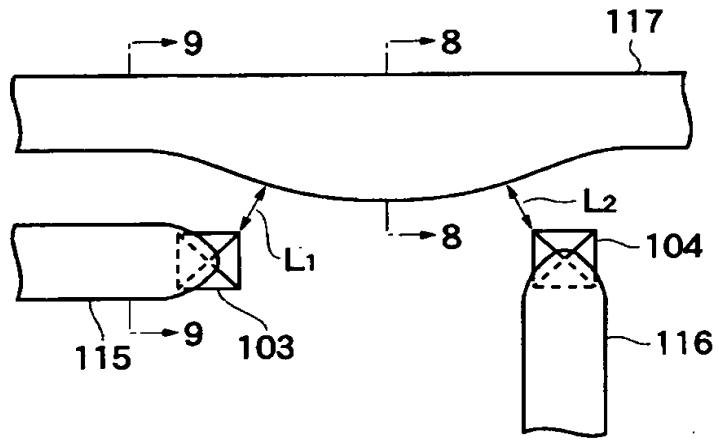
【図 5】



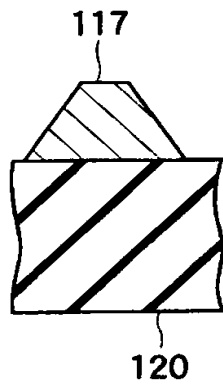
【図 6】



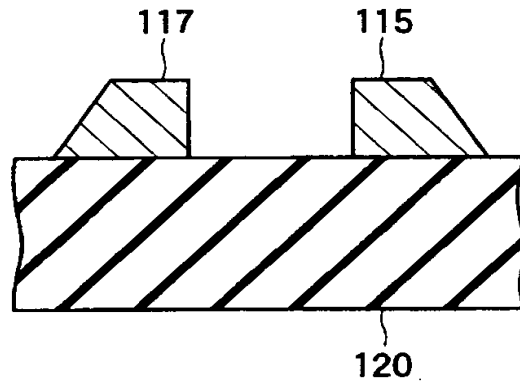
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 配線と接続孔内の埋め込み金属との接触抵抗の増加や配線信頼性の低下を抑制でき、パターンが疎の部分の配線とその近傍の接続孔内の埋め込み金属とのショート不良の発生を抑制できる半導体装置及び配線パターン設計方法を提供する。

【解決手段】 本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第 1 及び第 3 の配線パターン 5, 7 を備えている。この半導体装置は、第 3 の配線パターン 7 と所定間隔より短い間隔で配置されたビアホール 3 と、ビアホール 3 を覆うように配置された第 1 の配線パターン 5 と、を備え、第 1 の配線パターン 5 に形成された耳パターンであって、ビアホール 3 を覆う中央領域部の上下左右の四方向のうち、第 3 の配線パターン 7 の存在する方向以外の側に配置された第 2 の耳パターン 1 2 を具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社